

(19)

KOREAN INTELLECTUAL PROPERTY OFFICE

RECEIVED
CENTRAL FAX CENTER

OCT 07 2005

KOREAN PATENT ABSTRACTS

(11) Publication number:

1020010061296

A

(43) Date of publication of application:
07.07.2001

(21)Application 1019990063789

(71)Applicant:

**HYNIX
SEMICONDUCTOR INC.**

(22) Date of filing: 28.12.1998

(32) Inventor:

SEMICONDUCTOR
XANG-UZBEK

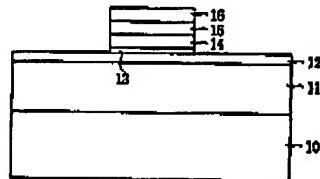
(51)Int Cl

H01L 27/105

(54) METHOD OF MAKING FERROELECTRIC CAPACITOR

(57) Abstract:

PURPOSE: A method of making ferroelectric capacitor is provided to prevent an adhesion between a lower electrode material and an adhesion layer from being deteriorated at a rinsing process using an organic solvent.



CONSTITUTION: An insulation film(12) for an etch barrier is formed on a silicon oxide film(11). An aluminum film(13) is formed on the silicon oxide film as an adhesion layer. A platinum film(14) for a lower electrode, a ferroelectric film(15) and a platinum film(16) for an upper electrode are formed on the aluminum film(13). A capacitor structure is formed by patterning the platinum film(14) for a lower electrode, the ferroelectric film(15) and the platinum film(16) for an upper electrode. A rinsing process is performed using an organic solvent (EKC830, ACT835) and an annealing process is carried out.

COPYRIGHT 2001 KIPO

Legal Status

Date of final disposal of an application (20020830)

Patent registration number (1003621980000)

Date of registration (20021111)

10/07/2005 17:02 , 9727329218

SLATER & MATSIL LLP

PAGE 12/18
Page 2 of 2

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse (2002101002611)

Date of requesting trial against decision to refuse (20020702)

(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(51) Int. Cl. 7
 H01L 27/105

(45) 공고일자 2002년 11월 23일
 (11) 등록번호 10-0362198
 (24) 등록일자 2002년 11월 11일

(21) 출원번호 10-1999-0063789
 (22) 출원일자 1999년 12월 28일

(65) 공개번호 특2001-0061296
 (43) 공개일자 2001년 07월 07일

(73) 특허권자 주식회사 하이닉스반도체
 경기 이천시 부발읍 아미리 산136-1

(72) 발명자 양우석
 경기도 이천시 중포동 213-5 대우 1차 아파트 101-601

(74) 대리인 특허법인 신성
 최종식
 정지원

심사관 : 김근모

(54) 반도체 소자의 강유전체 캐퍼시터 형성 방법

요약

본 발명은 반도체 제조 기술에 관한 것으로, 특히 강유전체 박막을 유전체로 사용하는 강유전체 캐퍼시터 형성 공정에 관한 것이다. 더 자세히는 하부 전극이 센 플레이트 노드로 사용되고 상부 전극이 스토리지 노드로 사용되는 구조를 가지는 강유전체 캐퍼시터 형성 공정에 관한 것이다. 본 발명은 유기 용매를 사용한 세정 공정시 하부 전극 물질과 접착층의 접착력이 약화되는 것을 방지할 수 있는 반도체 소자의 캐퍼시터 형성 방법을 제공하는데 그 목적이 있다. 본 발명에서는 기존의 TiO_x (또는 Ti) 대신에 알루미나(Al_2O_3)를 하부 전극과 중간 절연막(실리콘산화막) 간의 접착층으로 사용한다. 알루미나는 하부 전극(금속)과의 계면에서 금속-Al 결합을 유도하여 접착력을 확보하는데, 이 금속-Al 결합은 기존의 금속-Ti 결합에 비해 결합력이 강하다. 또한, 유기 용매 세정액에 포함된 수소 함유물은 Al과 쉽게 결합하지 않는 특성을 가진다. 한편, 후속 열공정에 의한 알루미나막의 부피가 감소하는 경향이 있는 바, 본 발명에서는 이를 방지하기 위하여 산소 분위기에서 800~850°C 온도로 알루미나막에 대한 열처리를 실시한다.

대표도
 도 3

색인이
 강유전체 캐퍼시터, 알루미나, 접착층, 탈착 현상, 유기 용매, 열처리

명세서

도면의 간단한 설명

도 1 내지 도 3은 본 발명의 일 실시예에 따른 강유전체 캐패시터 형성 공정도.

* 도면의 주요 부분에 대한 부호의 설명

10 : 실리콘 기판

11 : 중간결연막(실리콘산화막)

12 : 식각방지 산화막

13 : 알루미나막

14, 16 : 백금막

15 : SBT막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 제조 기술에 관한 것으로, 특히 강유전체 박막을 유전체로 사용하는 강유전체 캐패시터 형성 공정에 관한 것이며, 더 자세히는 하부 전극이 셀 플레이트 노드로 사용되고 상부 전극이 스트리지 노드로 사용되는 구조(이하, NPP(Non-Plug Poly) 구조라 함)를 가지는 강유전체 캐패시터 형성 공정에 관한 것이다.

강유전체 물질은 높은 유전상수(dielectric constant), 분극현상의 비휘발성(nonvolatile)으로 인해 반도체 메모리에 응용되어 DRAM(dynamic random access memory)의 고적 접화(1Gb 이상) 및 새로운 형태의 비휘발성 반도체 메모리(FeRAM)의 구현에 필요한 물질로 등장하였다.

대표적인 강유전체 물질로 $(\text{Sr}, \text{Bi})\text{Ta}_2\text{O}_9$ (이하, SBT라 함), $\text{Pb}(\text{Zr}_{x} \text{Ti}_{x-1})\text{O}_3$ (이하, PZT라 함) 등이 있으며, 일반적으로, 상/하부 전극 물질로는 백금(Pt), 이리듐(Ir), 루테늄(Ru) 등의 귀금속(noble metal)이나 그 합금이 사용되고 있다. 강유전체 캐패시터에서 강유전체 박막의 우수한 강유전 특성을 얻기 위해서는 상/하부 전극 물질 및 주변 물질의 선택과 적절한 공정의 제어가 필수적이다.

한편, 강유전체 캐패시터는 그 구조 측면에서 NPP 구조와 PP(Plug Poly) 구조로 나눌 수 있다. NPP 구조의 강유전체 캐패시터는 모스 트랜지스터의 접합과 상부 전극이 금속배선에 의해 접속되어 상부 전극이 스트리지 노드 역할을 하며 하부 전극이 셀 플레이트 노드 역할을 한다. 반면, PP 구조의 강유전체 캐패시터는 모스 트랜지스터의 접합과 하부 전극이 폴리실리콘 플러그에 의하여 접속되어 하부 전극이 스트리지 노드 역할을 하게 되며, 상부 전극이 셀 플레이트 노드 역할을 수행하게 된다.

소자의 집적도 측면을 고려하면, NPP 구조의 강유전체 캐패시터보다는 PP 구조의 강유전체 캐패시터를 채택하는 것이 바람직하지만, PP 구조를 채용하는데는 공정상의 어려움이 따른다. 즉, 유전체 및 상/하부 전극 형성 시 또는 후속 열처리 등에 고온 공정을 거치면서 산소가 확산되어 폴리실리콘 플러그 상부에 유전율이 낮은 실리콘산화막(SiO_2)을 생성하게 되는데, 이 경우 외부에서 가해준 전압의 대부분이 유전율이 낮은 실리콘산화막에 걸리게 되어 소자 작동에 있어서 치명적인 결함으로 작용하게 되는 문제점이 있다.

NPP 구조의 강유전체 캐페시터는 중간절연막인 실리콘산화막 상에 형성되는데, 하부 전극 물질로 사용되는 귀금속이나 그 합금은 실리콘산화막과의 접착력이 매우 취약하기 때문에 후속 열공정을 거치고 나면 하부 전극의 탈착(peeling)이 유발되어 소자의 수율을 크게 저하시키는 문제점이 있었다.

이러한 하부 전극의 탈착 현상을 방지하기 위하여 중간절연막과 하부 전극 사이에는 통상 TiO_x 막 또는 Ti 막으로 접착층을 삽입하고 있다. TiO_x 막 또는 Ti 막의 도입으로 중간절연막과 하부 전극하지층의 접착력 문제는 완전히 해결할 수 있었으나, 캐페시터 구조 패터닝을 위한 식각 공정후 식각 부산물인 잔류 유기물의 제거를 위해 유기 용매(organic solvent)를 사용한 세정 공정을 진행할 때 금속 하부전극과 TiO_x 막 또는 Ti 막간의 접착력이 급격히 약화되는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 유기 용매를 사용한 세정 공정시 하부 전극 물질과 접착층의 접착력이 약화되는 것을 방지할 수 있는 반도체 소자의 캐페시터 형성방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기의 기술적 과제를 해결하기 위한 본 발명의 일 측면에 따르면, 하부 전극이 셀 플레이트 노드로 사용되고 상부 전극이 스토리지 노드로 사용되는 구조를 가진 강유전체 캐페시터 형성방법에 있어서, 소정의 하부층 상에 중간절연막을 형성하는 단계; 상기 중간절연막 상에 접착층으로 알루미나막을 형성하는 단계; 후속 열공정에 의한 상기 알루미나막의 부피 감소를 방지하기 위하여 산소 분위기에서 800~850°C 온도로 상기 알루미나막에 대한 열처리를 실시하는 단계; 상기 알루미나막 상에 하부전극용 금속막, 강유전체 박막, 상부전극용 금속막을 형성하는 단계; 상기 상부전극용 금속막, 상기 강유전체 박막, 상기 하부전극용 금속막 및 상기 알루미나막을 선택 식각하는 단계; 및 상기 선택 식각하는 단계에서 발생한 유기물 제거를 위하여 유기 용매 세정액을 사용한 세정을 실시하는 단계를 포함하는 반도체 소자의 강유전체 캐페시터 형성방법이 제공된다.

캐페시터 구조 패터닝을 위한 식각 공정후 식각 부산물인 잔류 유기물의 제거를 위해 유기 용매(organic solvent)를 사용한 세정 공정을 진행할 때 금속 하부전극과 TiO_x 막 또는 Ti 막간의 접착력이 급격히 약화되는 현상은 다음과 같이 설명할 수 있다. 즉, 유기 용매 세정액에는 다량의 수소함유물(OH^- , H^+ , H , H_2O 등)이 포함되어 있다. 이러한 수소함유물은 하부 전극(금속)을 통하여 쉽게 확산하여 하부 전극/ TiO_x (또는 Ti) 접착층 계면에 도달하여 Ti 와 쉽게 결합하는 특성을 갖는다. 그 결과 하부 전극과 TiO_x (또는 Ti) 접착층 사이의 계면 접착력을 형성하는 금속-Ti 결합은 파괴되고, 취약해진 계면은 상/하부 전극의 인장응력(tensile stress)에 의하여 탈착 현상을 유발하게 된다.

본 발명에서는 기존의 TiO_x (또는 Ti) 대신에 알루미나(Al_2O_3)를 하부 전극과 중간절연막(실리콘산화막) 간의 접착층으로 사용한다. 알루미나는 하부 전극(금속)과의 계면에서 금속-Al 결합을 유도하여 접착력을 확보하는데, 이 금속-Al 결합은 기존의 금속-Ti 결합에 비해 결합력이 강하다. 또한, 유기 용매 세정액에 포함된 수소함유물은 Al과 쉽게 결합하지 않는 특성을 가진다. 한편, 후속 열공정에 의한 알루미나막의 부피가 감소하는 경향이 있는 바, 본 발명에서는 이를 방지하기 위하여 산소 분위기에서 800~850°C 온도로 알루미나막에 대한 열처리를 실시한다.

이하, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 소개하기로 한다.

첨부된 도면 도 1 내지 도 3은 본 발명의 일 실시예에 따른 강유전체 캐페시터 형성 공정을 도시한 것으로, 이하 이를 참조하여 설명한다.

본 발명의 일 실시예에 따른 강유전체 캐페시터 형성 공정은, 우선 도 1a에 도시된 바와 같이 실리콘 기판(10)에 대하여 모스 트랜지스터(도시되지 않음), 비트라인(도시되지 않음) 형성 공정 등을 진행하고, 그 결과물로 형성된 중간절연막(실리콘산화막)(11) 상에 후속 공정시 중간절연막(11)을 보호하기 위한 식각방지 절연막(12)을 형성한다.

다음으로, 도 2에 도시된 바와 같이 식각방지 절연막(12) 상에 접착층으로 알루미나막(13)을 촉착한다. 이때, 알루미나막(13)은 CVD법 또는 원자층증착법(ALD)을 사용하여 20~100Å 두께로 형성하며, 증착 후 800°C 이상으로 진행되는 후속 열공정시 알루미나막(13)의 부피 감소를 방지하기 위하여 미리 산소 분위기의 800~850°C 온도에서 30분간 후열처리를 실시한다.

계속하여, 알루미나막(13) 상에 하부전극용 전도막인 백금(Pt)막(14), 강유전체인 SBT막(15) 및 상부전극용 전도막인 백금막(16)을 촉착한다. 물론 상/하부전극용 전도막으로는 Ir과 같은 금속이나 그 합금, 또는 IrO_2 , RuO_x 와 같은 금속성 산화물을 대체하여 사용할 수 있으며, SBT막(15)은 PZT와 같은 다른 유전체막으로 대체할 수 있다.

계속하여, 도 3에 도시된 바와 같이 마스크 공정 및 건식 식각 공정을 실시하여 백금막(16), SBT막(15), 백금막(14) 및 알루미나막(13)을 페터닝함으로써 캐패시터 구조를 형성한다.

이어서, 건식 식각 공정에서 발생된 유기물을 제거하기 위하여 유기 용매(EKC830, ACT835 등)로 세정을 실시하고, 식각시의 충격(damage)에 의해 열화된 강유전체 특성을 회복시켜주기 위한 통상의 회복 열처리를 수행한다.

이후, 도시되지는 않았으나, 통상의 층간절연막 촉착 및 트랜지스터 콘택트 식각 공정을 실시하고, 금속배선 공정을 실시하여 상부전극과 트랜지스터를 전기적으로 연결시킨다.

하기의 표 1은 종래기술(TiO_2 접착층)과 본 발명(Al_2O_3)에 따라 캐패시터 구조 페터닝을 위한 건식 식각을 수행하고, 식각시 발생한 유기물을 순수, 유기 용매(EKC830, ACT835) 등으로 세정한 후의 결과를 비교한 것이다.

[표 1]

세정액	TiO_2 접착층 적용시			Al_2O_3 접착층 적용시		
	순수	EKC830	ACT835	순수	EKC830	ACT835
탈착 발생 여부	무	유	유	무	무	무
세정후 디페트 수	10628	-	-	10277	714	551

상기 표 1을 참조하면, 본 발명에 따라 Al_2O_3 접착층을 적용한 경우, 하부 전극의 탈착 현상이 발생하지 않으며, 세정후 디페트 수에 있어서도 우수한 결과를 나타낸을 확인할 수 있다. 한편, Al_2O_3 접착층 촉착후 실시되는 산소 분위기의 800~850°C 열처리에 의해 후속 열공정에 의한 Al_2O_3 접착층의 부피 감소를 방지할 수 있다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨무된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

전술한 본 발명은 유기 용매를 사용한 세정 공정시 하부 전극 물질과 접착층의 접착력이 약화되는 것을 방지하는 효과가 있으며, 이로 인하여 소자의 수율을 향상시키는 효과를 기대할 수 있다.

(57) 청구의 범위

청구항 1.

삭제

청구항 2.

삭제

등록특허 10-0362198

청구항 3.

하부 전극이 션 플레이트 노드로 사용되고 상부 전극이 스토리지 노드로 사용되는 구조를 가진 강유전체 캐퍼시터 형성 방법에 있어서,

소정의 하부층 상에 충간절연막을 형성하는 단계;

상기 충간절연막 상에 접착층으로 알루미나막을 형성하는 단계;

후속 열공정에 의한 상기 알루미나막의 부피 감소를 방지하기 위하여 산소 분위기에서 800~850°C 온도로 상기 알루미나막에 대한 열처리를 실시하는 단계;

상기 알루미나막 상에 하부전극용 금속막, 강유전체 박막, 상부전극용 금속막을 형성하는 단계;

상기 상부전극용 금속막, 상기 강유전체 박막, 상기 하부전극용 금속막 및 상기 알루미나막을 선택 식각하는 단계; 및

상기 선택 식각하는 단계에서 발생한 유기물 제거를 위하여 유기 용매 세정액을 사용한 세정을 실시하는 단계
를 포함하는 반도체 소자의 강유전체 캐퍼시터 형성방법.

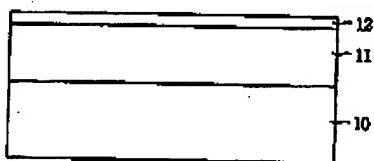
청구항 4.

제3항에 있어서,

상기 알루미나막은 20~100Å 두께로 형성하는 것을 특징으로 하는 반도체 소자의 강유전체 캐퍼시터 형성방법.

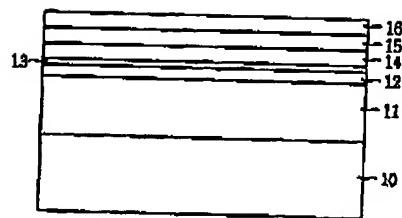
도면

도면 I



등록특허 10-0362198

도면 2



도면 3

